

CLIPPEDIMAGE= JP363052432A

PAT-NO: JP363052432A

DOCUMENT-IDENTIFIER: JP 63052432 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: March 5, 1988

INVENTOR-INFORMATION:

NAME

OKINAGA, TAKAYUKI

TATE, HIROSHI

MATSUGAMI, SHOJI

OTSUKA, KANJI

SHIRAI, MASAYUKI

ASSIGNEE-INFORMATION:

NAME

HITACHI VLSI ENG CORP

HITACHI LTD

COUNTRY

N/A

N/A

APPL-NO: JP61195479

APPL-DATE: August 22, 1986

INT-CL (IPC): H01L021/60

US-CL-CURRENT: 29/827,257/697

ABSTRACT:

PURPOSE: To enhance the acceleration and to reduce a capacity and inductance between wirings of a semiconductor device by using a single layer substrate having conduction through holes in an oblique direction, and wiring a semiconductor element obliquely to an external connection terminal at the shortest distance.

CONSTITUTION: Through holes 2 are formed obliquely in the thicknesswise

direction of a substrate 1, and conductors 3 are provided in the holes 2. When a semiconductor element 6 is bonded by a connecting electrode 5 to the front surface side of such a substrate 1, the bump of the element 6 is soldered to a pattern 7 formed on the substrate 1. Since an external connection terminal 8 is electrically connected to the conductor 3 in the hole 2 at the shortest distance, the wiring distance is shortened to perform the acceleration, and to reduce capacity and inductance between the wirings.

COPYRIGHT: (C)1988,JPO&Japio

⑫ 公開特許公報(A)

昭63-52432

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)3月5日

H 01 L 21/60

6918-5F

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭61-195479

⑰ 出 願 昭61(1986)8月22日

⑱ 発 明 者 沖 永 隆 幸 東京都小平市上水本町1448番地 日立超エル・エス・アイ
エンジニアリング株式会社内⑲ 発 明 者 館 宏 東京都小平市上水本町1448番地 日立超エル・エス・アイ
エンジニアリング株式会社内⑳ 出 願 人 日立超エル・エス・アイ 東京都小平市上水本町1448番地
エンジニアリング株
式会社

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. 単層よりなる基板に、その厚さ方向に、斜めに複数のスルーホールを形成し、当該基板の裏面に形成した複数の外部接続端子と、当該基板の表面に、接続用電極によりその裏面を接合した半導体素子の当該電極とを、前記各スルーホール内の導体部により電気的に接続して成ることを特徴とする半導体装置。

2. 接続用電極が、突起電極である、特許請求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置、特に、斜めに形成した導通スルーホールをもつ基板を使用した半導体装置に関する。

〔従来の技術〕

半導体集積回路装置における集積密度は増々向

上している。実装密度が高くなると、その実装に使用される実装基板(支持基板)の小形化、ひいては基板上のパターンの高密度化が要求されてくる。このパターンの高密度化のひとつの方策は、線幅、線間隔をつめて2次的にパターンの高密度化をはかることである。しかしそれでは不十分で、パターンを積み重ねて3次的にパターンの高密度化をはかる必要がでてくる。かくて、多層基板が提唱されている。

セラミック製多層基板の製法の一例は、アルミナグリーンシートに、プレスにより穴(スルーホール)をあけ、パターンを印刷し、このシートを必要枚数積み重ね、圧着したものを焼結し、基板とする。

一方、樹脂基板の場合には、薄い樹脂板の上にパターンを形成し、それらを何枚か積み重ね加圧し熱を加えて樹脂を硬化させる。その後、必要な箇所にドリルで穴をあけ、穴の内部に導体をつけ各層のパターン間の導通をはかる。

このように従来の多層基板は、マスマニエーシ

オン方式により何層にも積層し、かつ、多層基板を、今三層構造のものとすると、上層表面の回路パターンと中層表面のパターンとを導通するに、その厚さ方向に真直ぐにスルーホールを形成し、メッキ技術などにより該スルーホール内に導体を形成し、さらに、中層表面のパターンと下層表面のパターンとを導通するに、同様に直線状のスルーホール導体により接続し、さらに、下層表面のパターンと下層底部の外部接続端子とを導通するに、同様にスルーホールを形成し、該スルーホール内の導体により導通をとる方式が採られている。

なお、多層基板について述べた文献の例としては、(株)工業調査会発行「電子材料」1984年4月号p143～148、同1983年10月号p15～27、同1984年8月号p80～88、同1982年8月号p52～57があげられる。

〔発明が解決しようとする問題点〕

上記のごとき多層構造基板にあっては、マスマイネーション方式を採るために、何層にもわたって積層しなければならず、また、何層にもわたつ

て回路パターンを形成しなければならず、製造工程が複雑多岐にわたりコスト高になるし、基板内部の配線については、縦方向に形成されたスルーホール導体、横方向に形成された配線層(パターン)が組み合わされ、複雑に折れ曲った配線長の長い内部配線が形成されており、配線距離が長くなり、高速化を阻害し、また、配線の線間容量の増大やインダクタンスの増大を招いている。

本発明はかかる従来技術の有する欠点を解消し、低コストで布線特性を良好ならしめる技術を提供することを目的とする。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

〔問題点を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

本発明は、単層(シングルレイヤー)の基板であつて、その斜め方向に導通スルーホールをもつ

基板を使用した半導体装置に係るものであり、当該スルーホールをレーザー加工などにより形成し、メッキ技術などによりスルーホール内に導体部を形成し、該基板の表面側に接合した半導体素子と該基板の裏面側に設けた外部接続端子とを、当該斜め導通スルーホールにより接続するようにした。

〔作用〕

これにより、半導体素子と外部接続端子とが斜めに最短距離で結線され、したがって、配線距離が短くなり、高速化が達成され配線の線間容量やインダクタンスを低減でき、さらに、層数はシングル(一層)でよいので、製造工程が簡略化されるだけでなく、製造コストが低減された。

〔実施例〕

次に、本発明を図面に示す実施例に基づいて説明する。

第1図は本発明の実施例を示す半導体装置の構成断面図を示す。

第1図に示すように、基板(1)の厚さ方向に斜めにスルーホール(2)を形成し、該スルーホール(2)内

に導体部(3)を設ける。

当該スルーホール(2)の形成は、第2図に示すように、例えばレーザー(4)加工によることができる。電子ビーム(EB)による加工などによってもよい。第2図に示すように、基板(1)の表面からレーザー光を角度をもたせて照射して、当該基板(1)の裏面にまで貫通した斜めスルーホール(2)を形成する。スルーホール(2)内の導体部(3)の形成は、従来公知の方法により行なうことができる。

例えば、スルーホールメッキにより形成することができる。その具体例としては、基板(1)に穴あけ後(スルーホール形成)、逆版印刷と電気銅パターンメッキを行ない、引き続きハンダや、金、銀をオーバーレイメッキした後、選択エッチングするサブトラクティブスルーホールプロセスにより行なうことができる。

第3図に、スルーホール(2)内に導体部(3)を形成してなる基板(1)の要部断面図を示す。このような斜め導通スルーホールを有する基板(1)の表面側に、接続用電極(5)により半導体素子(6)を第1図に示す

ように、接合する。

半導体素子(チップ)(6)は、例えばシリコン単結晶基板から成り、周知の技術によってこのチップ内には多数の回路素子が形成され、1つの回路機能を与えられている。回路素子の具体例は、例えばMOSトランジスタから成り、これらの回路素子によって、例えば論理回路およびメモリの回路機能が形成されている。

半導体素子(6)には、例えばアルミニウム(A_l)より成る内部配線と接続した突起電極が形成されている。突起電極は、例えばパンプよりなる。ボールあるいはペデスタル状の電極であってもよい。

当該パンプを有する半導体素子(6)は、テープキャリア方式によるいわゆるTAB(Tape Automated Bonding)素子であってもよい。

半導体素子(6)の基板(1)表面への接合は、半導体素子(6)のパンプと基板(1)上に第3図に示すように形成されたパターン(7)をハンダ付することにより行なうことができ、いわゆるフリップチップ方式により行なうことができる。金(Au)のビーム

て説明する。

この実施例では、樹脂基板10に上記実施例と同様に斜めにスルーホール(2)を穿孔し、該スルーホール(2)内に導体部(3)を設け、当該樹脂基板10表面に前記実施例と同様に半導体素子(6)をフリップチップ方式で接合し、該素子(6)の電極パンプ(5)と、当該基板(6)の基面に取着けたパンプ11とを、前記導体部(3)により接続して成る。当該樹脂基板10は例えばテフロン系合成樹脂より成り、例えば射出成形により、同時にスルーホール(2)を成形しつつ成形することができる。

基板10の裏面に取着けたパンプ11は、例えば半田パンプよりなる。

本発明によれば、基板(1)、10にその厚さ方向に斜めにスルーホール(2)を形成し、当該基板(1)、10の裏面に形成した複数の外部接続端子(8)、11と、当該基板の表面に接続用電極(5)によりその裏面を接合した半導体素子(6)の当該電極(5)とを、前記スルーホール(2)内の導体部(3)により、短距離で、電気的に接続したので、配線距離が短くなり高速

を半導体素子の電極に付け、このビームを基板上のパターンにあわせ熱圧着により接合するいわゆるビームリード方法により接合してもよい。

基板(6)の裏面(底面)には、外部接続端子であるアウターリード(8)を垂直方向に出す。

棒状のアウターリード(8)は、例えば金属ピンより成り、例えば、当該ピンの端部を基板(1)にハンダ付け(9)することにより基板(1)に取着することができる。

第1図に示すパッケージは、ピングリッドアレイ(PGA)タイプに構成されており、半導体素子(6)の電極パンプ(5)とアウターリード(8)とは基板(1)内部に形成され、かつ、斜めに形成されたスルーホール(2)内の導体部(3)により接続され、半導体素子(6)を機能させることができる。

第4図は当該パッケージの全体外観を模式的に図示してある。

基板(1)は、例えばセラミック基板により構成され、単層に構成されている。

次に、第5図に示す本発明の他の実施例について

化を達成でき、また、従来のごときスルーホール導体と層回路パターンとを横々に折れ曲った形で配線していないので、配線の線間容量が低減され、またそのインダクタンスも低減することができた。さらに、基板(1)、10が単層で構成されているので従来のマスマニネーション方式に比して、製造工程が簡略され、コストを低減することができた。

以上本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

例えば、上記実施例において導体部の形成をメッキなどスルーホール内に被膜を形成するのでなく、スルーホールに棒状の導体を埋設するとか、あるいは、金属線などの導体線を入れて、当該導体線により半導体素子と外部接続端子とを電気的に接続してもよい。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である第1

図に示すようなピングリッドアレイセラミックパッケージや第5図に示すようなパンブグリッドアレイパッケージについて適用した場合について説明したが、それに限定されるものではなく、他の半導体装置にも広く適用できる。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

本発明によれば、布設特性が良好で低コストの半導体装置を提供することができた。

4. 図面の簡単な説明

第1図は、本発明の実施例を示す半導体装置の構成断面図、

第2図は本発明実施例工程の説明図、

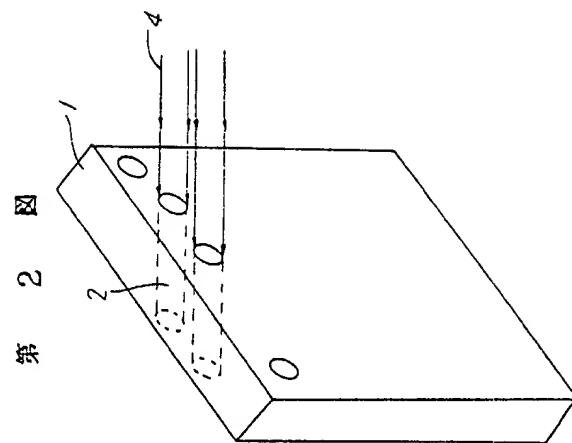
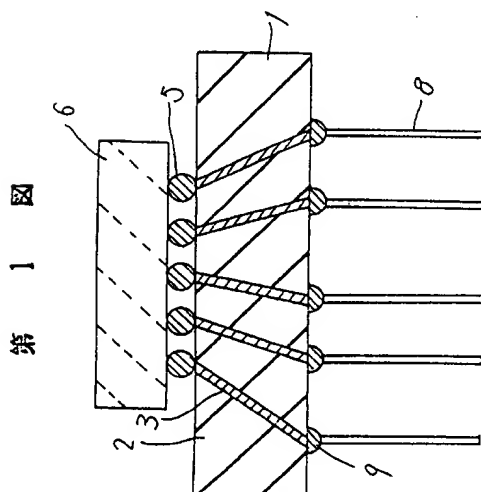
第3図は本発明の実施例を示す要部断面図、

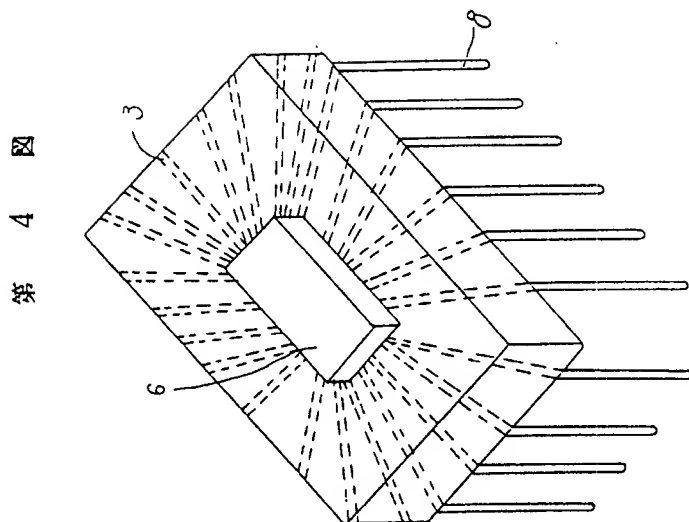
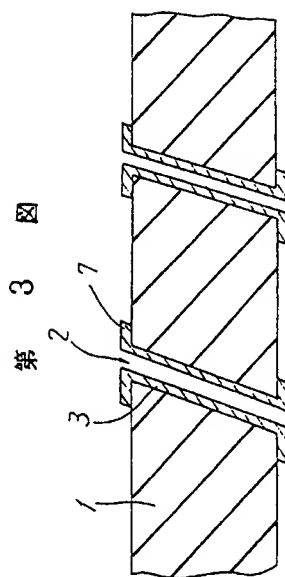
第4図は本発明の実施例を示す半導体装置の全体外観図、

第5図は本発明の他の実施例を示す半導体装置の構成断面図である。

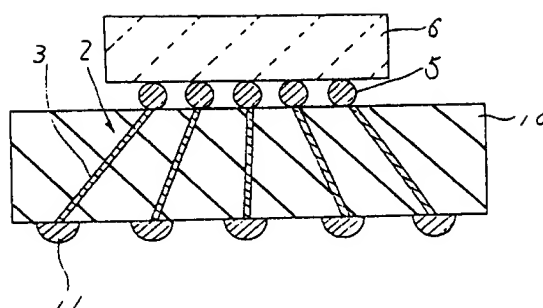
1…基板、2…スルーホール、3…導体部、4…レザー、5…接続用電極、6…半導体素子、7…パターン、8…外部接続端子（アウターリード）、9…ハンダ、10…樹脂基板、11…外部接続端子（パンブ）。

代理人 井理士 小川 勝 男





第 5 図



第1頁の続き

⑫発明者	松上	昌二	東京都小平市上水本町1448番地 日立超エル・エス・アイ エンジニアリング株式会社内
⑬発明者	大塚	寛治	東京都青梅市今井2326番地 株式会社日立製作所デバイス 開発センタ内
⑭発明者	白井	優之	東京都青梅市今井2326番地 株式会社日立製作所デバイス 開発センタ内